

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開平8-154057

(43) 公開日 平成8年(1996)6月11日

(51) Int.Cl.<sup>6</sup>

識別記号

庁内整理番号

F I

技術表示箇所

H 0 3 M 3/02

9382-5K

H 0 3 H 17/02

D 8842-5 J

H 0 3 M 1/08

A

審査請求 未請求 請求項の数 2 O L (全 9 頁)

(21) 出願番号 特願平6-293266

(22) 出願日 平成6年(1994)11月28日

(71) 出願人 000001889

三洋電機株式会社

大阪府守口市京阪本通2丁目5番5号

(72) 発明者 寺澤 博則

大阪府守口市京阪本通2丁目5番5号 三

洋電機株式会社内

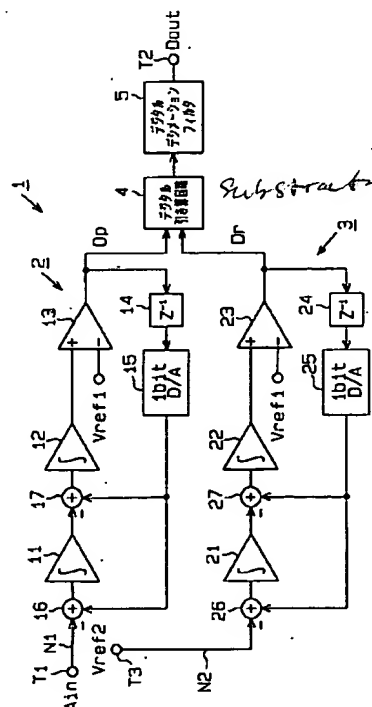
(74) 代理人 弁理士 恩田 博宣

(54) 【発明の名称】 A/D変換器

(57) 【要約】

【目的】 簡単な構成でノイズの影響を低減することができ、A/D変換器を提供することを目的とする。

【構成】 A/D変換器1の第1の $\Delta\Sigma$ 変調回路2は、入力したアナログ信号Ainをオーバーサンプリングし、1ビットに量子化したビット列データDpを出力する。入力端子T1の近傍には、リファレンス電圧Vref2を伝達する配線L2が、入力端子T1の近傍に形成され、その入力端子T1の近傍の接続点T3からリファレンス電圧Vref2が第2の $\Delta\Sigma$ 変調回路3に入力される。第2の $\Delta\Sigma$ 変調回路3は、入力したリファレンス電圧Vref2をオーバーサンプリングし、1ビットに量子化したビット列データDrを出力する。デジタル引き算回路4は、ビット列データDpからビット列データDrを引き算し、デシメーションフィルタ5を介してデジタルデータDoutとして出力する。



1

## 【特許請求の範囲】

【請求項1】 連続的に変化するアナログ信号（Ain）を入力し、そのアナログ信号（Ain）を標準化周波数の整数倍の周波数に従って量子化し、その量子化した値に対応する第1のビット列データ（Dp）を生成する第1の $\Delta\Sigma$ 変調回路（2）と、

予め設定された基準電圧（Vref2）を入力し、その基準電圧（Vref2）を前記第1の $\Delta\Sigma$ 変調回路（2）の量子化周波数と同一の周波数に従って量子化し、その量子化した値に対応する第2のビット列データ（Dr）を生成する第2の $\Delta\Sigma$ 変調回路（3）と、

前記第1の $\Delta\Sigma$ 変調回路（2）から出力される第1のビット列データ（Dp）と、第2の $\Delta\Sigma$ 変調回路（3）から出力される第2のビット列データ（Dr）との差を算出し、その算出結果を出力する引き算回路（4）とを備えたA/D変換器。

【請求項2】 単一の半導体基板上に前記第1の $\Delta\Sigma$ 変調回路（2）及び前記第2の $\Delta\Sigma$ 変調回路（3）が集積化され、前記第1の $\Delta\Sigma$ 変調回路（2）には入力端子（T1）を介してアナログ信号（Ain）が入力され、前記第2の $\Delta\Sigma$ 変調回路（3）には前記入力端子（T1）近傍に配置される基準電圧（Vref2）の伝達配線（L2）上の接続点（T3）から基準電圧（Vref2）が入力される請求項1に記載のA/D変換器。

## 【発明の詳細な説明】

【0001】

【産業上の利用分野】 本発明はA/D変換器に係り、詳しくは、オーバーサンブルA/D変換器に関するものである。

【0002】

【従来の技術】 図3は、一般的なオーバーサンブルA/D変換器（以下、単にA/D変換器という）50の回路図である。A/D変換器50は、アナログ信号Ainを入力し、そのアナログ信号Ainを所定の標準化周波数fsでサンプリングし量子化したデジタルデータDoutを生成し出力するようになっている。

【0003】 A/D変換器50には、2次のデルタ・シグマ（ $\Delta\Sigma$ ）変調回路（ $\Sigma\Delta$ 変調回路という場合もある）51とデシメーションフィルタ52とが設けられている。 $\Delta\Sigma$ 変調回路51は、直列に接続された積分回路53、54と量子化器としてのコンプレータ55に対して、直列に接続された遅延回路56と1ビットD/A変換器57とによりフィードバック系を構成している。

【0004】  $\Delta\Sigma$ 変調回路51は、アナログ信号Ainを入力し、標準化周波数fsの数十〜数百倍（例えば64倍）の周波数64fsでアナログ信号Ainをオーバーサンプリングする。そして、 $\Delta\Sigma$ 変調回路51は、そのサンプリングしたデータを1ビットに量子化し、モジュレータビット列データとして出力するようになっている。

【0005】 デシメーションフィルタ52は、 $\Delta\Sigma$ 変調

2

回路51からのビット列データを入力し、そのビット列データの周波数64fsを標準化周波数fsに低減し、デジタルデータDoutを出力するようになっている。

【0006】 ところで、デシメーションフィルタ52は、デジタル回路により構成されているので、ノイズの発生源となる。このデシメーションフィルタ52により発生したノイズは、入力端子58から $\Delta\Sigma$ 変調回路51までの間や、 $\Delta\Sigma$ 変調回路51内の信号に混入する場合がある。すると、A/D変換器50から出力されるデジタルデータDoutには、ノイズが含まれてしまい、正確にA/D変換することができない場合がある。そのノイズの影響を低減するために、差動型のA/D変換器が用いられている。

【0007】 例えば、図4に示すように、差動型A/D変換器60には、2つの $\Delta\Sigma$ 変調回路61、62とデジタル引き算回路63とが設けられている。一方の $\Delta\Sigma$ 変調回路61には、外部に接続されたバッファ回路64を介して正極性のアナログ信号Ainが入力され、他方の $\Delta\Sigma$ 変調回路62には、外部に接続された反転回路65を介して逆極性のアナログ信号Ainが入力される。 $\Delta\Sigma$ 変調回路61は、入力した正極性のアナログ信号Ainを1ビットに量子化したビット列データDpを生成し出力する。 $\Delta\Sigma$ 変調回路62は、入力した逆極性のアナログ信号Ainを1ビットに量子化したビット列データDnを生成し出力する。デジタル引き算器63は、 $\Delta\Sigma$ 変調回路61、62から出力されたビット列データDp、Dnを入力し、その差を取りデシメーションフィルタ66へ出力するようになっている。

【0008】 デシメーションフィルタ66により発生したノイズは、入力端子67、68から $\Delta\Sigma$ 変調回路61、62までの間や、 $\Delta\Sigma$ 変調回路61、62内に混入する。その結果、 $\Delta\Sigma$ 変調回路61、62からは、それぞれ同様にノイズを含んだビット列データDp、Dnがデジタル引き算回路63へ出力される。デジタル引き算回路63は、入力したビット列データDp、Dnの引き算を行い、その引き算結果を出力する。このとき、ビット列データDp、Dnに含まれるアナログ信号Ainは互いに逆相であって、ノイズは同相になっている。従って、引き算を行った結果、ノイズは互いに相殺され、デジタル引き算回路63から出力される演算結果には、ノイズが含まれなくなるので、ノイズの影響を低減することができる。

【0009】

【発明が解決しようとする課題】 しかしながら、図4のA/D変換器60の場合、その外部にバッファ回路64及び反転回路64の外付け部品が必要なので、作成が面倒であるという問題がある。バッファ回路64及び反転回路65を、A/D変換器60に内蔵することも考えられるが、回路規模が大きくなり、A/D変換器60を小型化することができないという問題がある。そのため、

図5に示すように、反転回路71のみを内蔵したA/D変換器70が考えられる。

【0010】しかし、図5のA/D変換器70の場合、反転回路71と $\Delta\Sigma$ 変調回路62との間に混入したノイズは差分により相殺されるが、反転回路71の入力端子までに混入したノイズは相殺されないで、デジタルデータDoutにはそのノイズが含まれ出力されるという問題があった。

【0011】また、図5のA/D変換器70の場合、一方の $\Delta\Sigma$ 変調回路61は直接アナログ信号Ainを入力し、他方の $\Delta\Sigma$ 変調回路62は反転回路71を介してアナログ信号Ainを入力している。そのため、反転回路71を通過する分、アナログ信号Ainが遅延されるので、 $\Delta\Sigma$ 変調回路61、62から出力されるビット列データDp、Dnの対称性が崩れ、アナログ信号Ainに対応したデジタルデータDoutが出力されなくなるという問題があった。

【0012】本発明は上記問題点を解決するためになされたものであって、簡単な構成で回路内のノイズによる影響を低減することができるA/D変換器を提供することを目的とする。

【0013】

【課題を解決するための手段】請求項1に記載の発明は、連続的に変化するアナログ信号を入力し、そのアナログ信号を標準化周波数の整数倍の周波数に従って量子化し、その量子化した値に対応する第1のビット列データを生成する第1の $\Delta\Sigma$ 変調回路と、予め設定された基準電圧を入力し、その基準電圧を前記第1の $\Delta\Sigma$ 変調回路の量子化周波数と同一の周波数に従って量子化し、その量子化した値に対応する第2のビット列データを生成する第2の $\Delta\Sigma$ 変調回路と、前記第1の $\Delta\Sigma$ 変調回路から出力される第1のビット列データと、第2の $\Delta\Sigma$ 変調回路から出力される第2のビット列データとの差を算出し、その算出結果を出力する引き算回路とから構成される。

【0014】請求項2に記載の発明は、請求項1に記載のA/D変換器において、単一の半導体基板上に前記第1の $\Delta\Sigma$ 変調回路及び前記第2の $\Delta\Sigma$ 変調回路が集積化され、前記第1の $\Delta\Sigma$ 変調回路には入力端子を介してアナログ信号が入力され、前記第2の $\Delta\Sigma$ 変調回路には前記入力端子近傍に配置される基準電圧の伝達配線上の接続点から基準電圧が入力される。

【0015】

【作用】従って、請求項1に記載の発明によれば、第1の $\Delta\Sigma$ 変調回路には、連続的に変化するアナログ信号が入力され、そのアナログ信号が標準化周波数の整数倍の周波数に従って量子化され、その量子化された値に応じた第1のビット列データが生成される。第2の $\Delta\Sigma$ 変調回路には、予め設定された基準電圧が入力され、その基準電圧は第1の $\Delta\Sigma$ 変調回路の量子化周波数と同一の周

波数に従って量子化され、その量子化された値に応じた第2のビット列データが生成される。引き算回路には、第1の $\Delta\Sigma$ 変調回路から出力される第1のビット列データと、第2の $\Delta\Sigma$ 変調回路から出力される第2のビット列データとが入力され、第1のビット列データと第2のビット列データとの差が算出され、その算出結果が出力される。

【0016】請求項2に記載の発明は、請求項1に記載のA/D変換器において、単一の半導体基板上には、第1の $\Delta\Sigma$ 変調回路及び第2の $\Delta\Sigma$ 変調回路が集積化され、第1の $\Delta\Sigma$ 変調回路には入力端子を介してアナログ信号が入力され、第2の $\Delta\Sigma$ 変調回路には入力端子近傍に配置される基準電圧の伝達配線上の接続点から基準電圧が入力される。

【0017】

【実施例】以下、本発明を具体化した一実施例を図1及び図2に従って説明する。図1に示すように、オーバーサンプルA/D変換器（以下、単にA/D変換器という）1は、入力端子T1からアナログ信号Ainを入力し、そのアナログ信号Ainを所定の標準化周波数fsで量子化したデジタルデータDoutを出力端子T2から出力するようにになっている。A/D変換器1には、第1、第2の $\Delta\Sigma$ 変調回路2、3、デジタル引き算回路4、デジタルデシメーションフィルタ5が設けられている。

【0018】第1の $\Delta\Sigma$ 変調回路2は2次の $\Delta\Sigma$ 変調回路であって、積分回路11、12、量子化器としてのコンパレータ13、遅延回路14、1ビットD/A変換器15及び加算回路16、17により構成されている。積分回路11、12は直列に接続されている。積分回路11、12の入力端子には、それぞれ加算回路16、17が接続されている。積分回路12の出力端子は、コンパレータ13のプラス入力端子に接続され、コンパレータ13のマイナス入力端子にはリファレンス電圧Vref1が入力されている。このリファレンス電圧Vref1は、コンパレータ13の動作範囲内で選択され、通常は、コンパレータ13の動作範囲の中間電圧に設定されている。コンパレータ13の出力端子は、遅延回路14、D/A変換器15を介して加算回路16、17に接続されている。即ち、積分回路11、12及びコンパレータ13には、直列に接続された遅延回路14と1ビットD/A変換器15とが並列に接続されフィードバック系が構成されている。

【0019】第1の $\Delta\Sigma$ 変調回路2は、入力端子T1に接続され、外部からアナログ信号Ainを入力する。第1の $\Delta\Sigma$ 変調回路2に入力されたアナログ信号Ainは、積分回路11、12を介してコンパレータ13に入力される。コンパレータ13は、積分回路11、12により積分された値と予め設定されたリファレンス電圧Vref1とを比較して1ビットに量子化したビット列データDpを生成し、デジタル引き算回路4へ出力する。

【0020】また、第1の $\Delta\Sigma$ 変調回路2は、コンパレータ13から出力されたビット列データDpを、遅延回路14及びD/A変換器15を介してアナログデータに変換する。そして、加算回路16、17によりその変換したアナログデータと次に入力したアナログ信号Ainとの差をとり積分回路11、12へ入力し積分する。これにより、第1の $\Delta\Sigma$ 変調回路2は、積分回路11、12の積分値が最小となるようにフィードバック制御する。この構成により、コンパレータ13から出力されるビット列データDpに含まれる量子化雑音は、高い周波数へ偏って分布するようになる。

【0021】ところで、コンパレータ13及び遅延回路14は、標準化周波数fsの64倍の周波数64fsに従って動作する。従って、入力したアナログ信号Ainは、周波数64fsの間隔でオーバーサンプリングされ、1ビットに量子化されたビット列データDpとして、デジタル引き算回路4へ出力されるようになっている。

【0022】第2の $\Delta\Sigma$ 変調回路3は、第1の $\Delta\Sigma$ 変調回路2と同様に2次の $\Delta\Sigma$ 変調回路であって、積分回路21、22、量子化器としてのコンパレータ23、遅延回路24、1ビットD/A変換器25及び加算回路26、27により構成されている。積分回路21、22は直列に接続されている。積分回路21、22の入力端子には、それぞれ加算回路26、27が接続されている。積分回路22の出力端子は、コンパレータ23のプラス入力端子に接続され、コンパレータ13のマイナス入力端子には、第1の $\Delta\Sigma$ 変調回路2のコンパレータ13と同一のリファレンス電圧Vref1が入力されている。コンパレータ23の出力端子は、遅延回路24、D/A変換器25を介して加算回路26、27に接続されている。即ち、積分回路21、22及びコンパレータ23には、直列に接続された遅延回路24と1ビットD/A変換器25とが並列に接続されフィードバック系が構成されている。

【0023】第2の $\Delta\Sigma$ 変調回路3は、外部から供給されるリファレンス電圧Vref2（通常は、コンパレータ23に供給するリファレンス電圧Vref1と同じでよい）を入力する。そして、第2の $\Delta\Sigma$ 変調回路3に入力されたリファレンス電圧Vref2は、積分回路21、22を介してコンパレータ23に入力される。コンパレータ23は、その入力したリファレンス電圧Vref2と予め設定されたリファレンス電圧Vref1とを比較して1ビットに量子化されたビット列データDrを生成し、デジタル引き算回路4へ出力する。

【0024】また、第2の $\Delta\Sigma$ 変調回路3は、コンパレータ23から出力されたビット列データDrを、遅延回路24及びD/A変換器25を介してアナログデータに変換する。そして、加算回路21、22によりその変換したアナログデータと次に入力したリファレンス電圧Vref2との差をとり積分回路21、22へ入力し積分す

る。即ち、第2の $\Delta\Sigma$ 変調回路3は、この積分回路21、22の積分値が最小となるようにフィードバックするようになっている。

【0025】即ち、第2の $\Delta\Sigma$ 変調回路3は、入力したリファレンス電圧Vref2を周波数64fsの間隔でオーバーサンプリングし、1ビットに量子化されたビット列データDrを生成し、デジタル引き算回路4へ出力するようになっている。

【0026】第1、第2の $\Delta\Sigma$ 変調回路2、3は、同じ形状に形成され、電気的特性が同じになっている。また、第2の $\Delta\Sigma$ 変調回路3は、第1、第2の $\Delta\Sigma$ 変調回路2、3を単一の半導体基板上に集積化する際、リファレンス電圧Vref2を第1の $\Delta\Sigma$ 変調回路2に入力されるアナログ信号Ainの入力端子T1の近傍から入力するようになっている。

【0027】即ち、図2に示すように、A/D変換器1のチップの周辺上には、アナログ信号Ainの入力端子（パッド）T1が形成されており、第1、第2の $\Delta\Sigma$ 変調回路2、3は、その入力端子T1に対して対称となるように形成されている。第1の $\Delta\Sigma$ 変調回路2は、その入力端子T1に配線L1を介して接続され、アナログ信号Ainを入力するようになっている。

【0028】入力端子T1の近傍には、リファレンス電圧Vref2を伝達する配線L2が形成され、その配線L2からリファレンス電圧Vref2が第1、第2の $\Delta\Sigma$ 変調回路2、3に供給されている。そして、第2の $\Delta\Sigma$ 変調回路3は、入力端子T1の近傍の接続点T3で配線L3を介してリファレンス電圧Vref2を伝達する配線L2に接続され、リファレンス電圧Vref2を入力するようになっている。即ち、第1の $\Delta\Sigma$ 変調回路2と第2の $\Delta\Sigma$ 変調回路3は、同様の経路でアナログ信号Ainとリファレンス電圧Vref2とをそれぞれ入力するようになっている。

【0029】尚、図2において、実際には、チップの周辺上には複数のパッドが形成されているが、入力端子T1と出力端子T2のみを示し、図が煩雑になるのを防いでいる。また、チップには、複数の配線層が設けられ、例えば配線L2は第1配線層、配線L1、L3は第2配線層に形成されている。そして、接続点T3において、配線L2、L3が互いにコンタクトホール等により接続されている。

【0030】デジタル引き算回路4は、第1、第2の $\Delta\Sigma$ 変調回路2、3からのビット列データDp、Drを入力する。そして、デジタル引き算回路4は、入力したビット列データDp、Drの引き算を行い、その演算結果をデジタルデシメーションフィルタ5へ出力するようになっている。

【0031】デジタルデシメーションフィルタ5は、デジタル引き算回路4の演算結果を入力する。そして、フィルタ5は、その入力した演算結果の帯域制限（LPF）を行うとともに、その周波数64fsを所定

の標準化周波数  $f_s$  に低減するデシメーション処理を行い、その処理結果をデジタルデータ  $D_{out}$  として出力するようになっている。

【0032】次に、上記のように構成されたA/D変換器の作用を説明する。A/D変換器1に入力されたアナログ信号  $A_{in}$  は、入力端子T1から第1の $\Delta\Sigma$ 変調回路2に入力される。第1の $\Delta\Sigma$ 変調回路2は、入力したアナログ信号  $A_{in}$  をオーバーサンプリングし、1ビットに量子化したビット列データ  $D_p$  を生成し、出力する。

【0033】第2の $\Delta\Sigma$ 変調回路3は、入力端子T1の近傍の接続点T3からリファレンス電圧  $V_{ref2}$  を入力し、そのリファレンス電圧  $V_{ref2}$  をオーバーサンプリングして1ビットに量子化したビット列データ  $D_r$  を生成し、出力する。

【0034】この時、デジタルデシメーションフィルタ5により発生したノイズは、第1、第2の $\Delta\Sigma$ 変調回路2、3内の信号に混入する。また、ノイズは、入力端子T1から第1の $\Delta\Sigma$ 変調回路2までの間のノードN1に混入する。更に、ノイズは、接続点T3から第2の $\Delta\Sigma$ 変調回路3までの間のノードN2に混入する。

【0035】入力端子T1の近傍には、接続点T3が設けられている。そして、第1、第2の $\Delta\Sigma$ 変調回路2、3は、同様な経路で入力端子T1と接続点T3とにそれぞれ接続されている。従って、入力端子T1から第1の $\Delta\Sigma$ 変調回路2までの間と、接続点T3から第2の $\Delta\Sigma$ 変調回路3までの間には、ほぼ同じノイズが混入することになる。また、第1の $\Delta\Sigma$ 変調回路2と第2の $\Delta\Sigma$ 変調回路3とは、同じに形成されているので、同程度のノイズが混入することになる。従って、第1、第2の $\Delta\Sigma$ 変調回路2、3からそれぞれ出力されるビット列データ  $D_p$ 、 $D_r$  に含まれるノイズは、同等になる。

【0036】そして、デジタル引き算回路4は、ビット列データ  $D_p$  からビット列データ  $D_r$  を引き算し、その演算結果を出力する。ビット列データ  $D_p$ 、 $D_r$  には、同じノイズがふくまれているので、デジタル引き算回路4は、ビット列データ  $D_p$  からビット列データ  $D_r$  に含まれるノイズを引き算する。

【0037】従って、ビット列データ  $D_p$  からビット列データ  $D_r$  を引き算した場合、両ビット列データ  $D_p$ 、 $D_r$  の差分、即ち、ノイズだけが引き算されることになる。そして、引き算回路4は、その演算結果を出力する。

【0038】デジタルデシメーションフィルタ5は、引き算回路4の演算結果を入力し、その演算結果に対してデシメーション処理を行い、その処理結果をデジタルデータ  $D_{out}$  として出力する。引き算回路4の演算結果には、ビット列データ  $D_p$  からビット列データ  $D_r$  に含まれるノイズが引き算されている。その結果、デジタルデータ  $D_{out}$  は、入力端子T1から第1の $\Delta\Sigma$ 変調回路2までの間と、第1の $\Delta\Sigma$ 変調回路2内に混入す

るノイズが含まれずに、アナログ信号  $A_{in}$  に応じた値となる。

【0039】このように、本実施例のA/D変換器1によれば、図5に示す従来のA/D変換器70の反転回路71を必要としないので、簡単な構成で回路内のノイズの影響を低減することができる。また、アナログ信号  $A_{in}$  は第1の $\Delta\Sigma$ 変調回路2にのみ入力されるので、従来のA/D変換器70のようにアナログ信号  $A_{in}$  の対称性が崩れることなく、デジタルデータ  $D_{out}$  を生成し出力することができる。

【0040】尚、本発明は上記実施例の他、以下のように実施してもよい。

1) 上記実施例では、2次の $\Delta\Sigma$ 変調回路2、3を用いたA/D変換器1に具体化したのが、1次又は3次以上の $\Delta\Sigma$ 変調回路を用いたA/D変換器に具体化して実施してもよい。

【0041】また、 $\Delta\Sigma$ 変調回路2、3に代えて、 $\Delta$ 変調回路と $\Sigma$ 変調回路とを用いたA/D変換器に具体化して実施してもよい。

2) 上記実施例では、アナログ信号  $A_{in}$  を入力する入力端子T1の近傍の接続点T3でリファレンス電圧  $V_{ref2}$  の配線L2と配線L3とを接続し、その配線L3を介してリファレンス電圧  $V_{ref2}$  を第2の $\Delta\Sigma$ 変調回路3に入力するようにしたが、リファレンス電圧  $V_{ref2}$  を入力する入力端子をアナログ信号  $A_{in}$  を入力する入力端子T1に隣接して設けるようにしてもよい。

【0042】また、第2の $\Delta\Sigma$ 変調回路3にリファレンス電圧  $V_{ref2}$  を入力する端子と、第1、第2の $\Delta\Sigma$ 変調回路2、3内のコンパレータ13、24等のリファレンス電圧  $V_{ref2}$  を入力する端子とを別々に設ける。そして、第2の $\Delta\Sigma$ 変調回路3のリファレンス電圧  $V_{ref2}$  を入力する入力端子を、アナログ信号  $A_{in}$  を入力する入力端子T1に隣接して設けるようにしてもよい。

【0043】3) 上記実施例では、第1、第2の $\Delta\Sigma$ 変調回路2、3において、周波数  $64f_s$  でオーバーサンプリングするようにしたが、標準化周波数  $f_s$  の任意の整数倍、例えば16、32、128倍等の周波数でオーバーサンプリングするようにしてもよい。

【0044】

【発明の効果】以上詳述したように本発明によれば、簡単な構成で回路内のノイズの影響を低減することが可能なA/D変換器を提供することができるという優れた効果がある。

【図面の簡単な説明】

【図1】 本発明を具体化した一実施例のA/D変換器の回路図である。

【図2】 一実施例のA/D変換器のレイアウト図である。

【図3】 一般的な $\Delta\Sigma$ 変調回路を用いたA/D変換器の回路図である。

【図4】 従来の差動型A/D変換器の回路図である。

【図5】 従来の差動型A/D変換器の回路図である。

【符号の説明】

1 オーバサンプルA/D変換器

2 第1の $\Delta\Sigma$ 変調回路

3 第2の $\Delta\Sigma$ 変調回路

4 引き算回路としてのデジタル引き算回路

5 デジタルデシメーションフィルタ

Ain アナログ信号

Dp 第1のビット列データ

Dr 第2のビット列データ

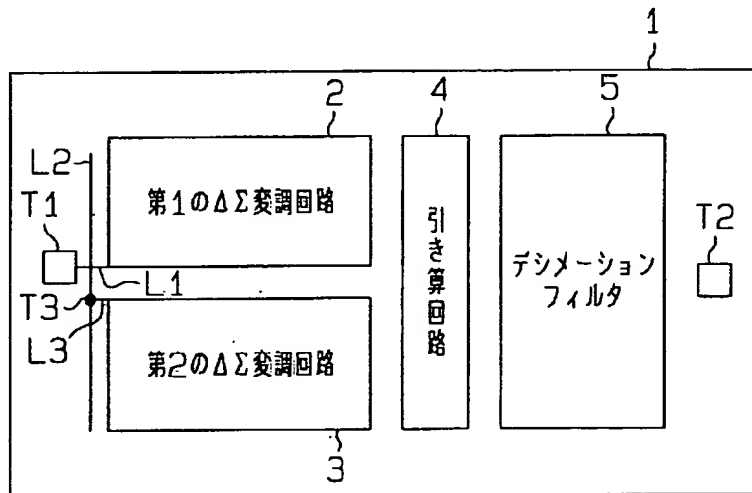
L2 伝達配線としての配線

T1 入力端子

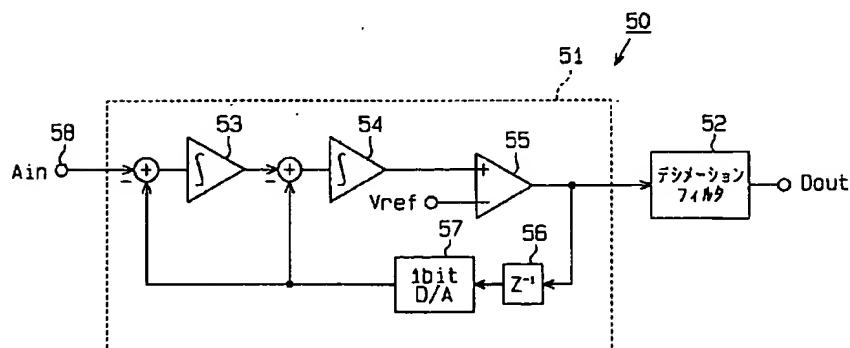
T3 接続点

Vref2 基準電圧としてのリファレンス電圧

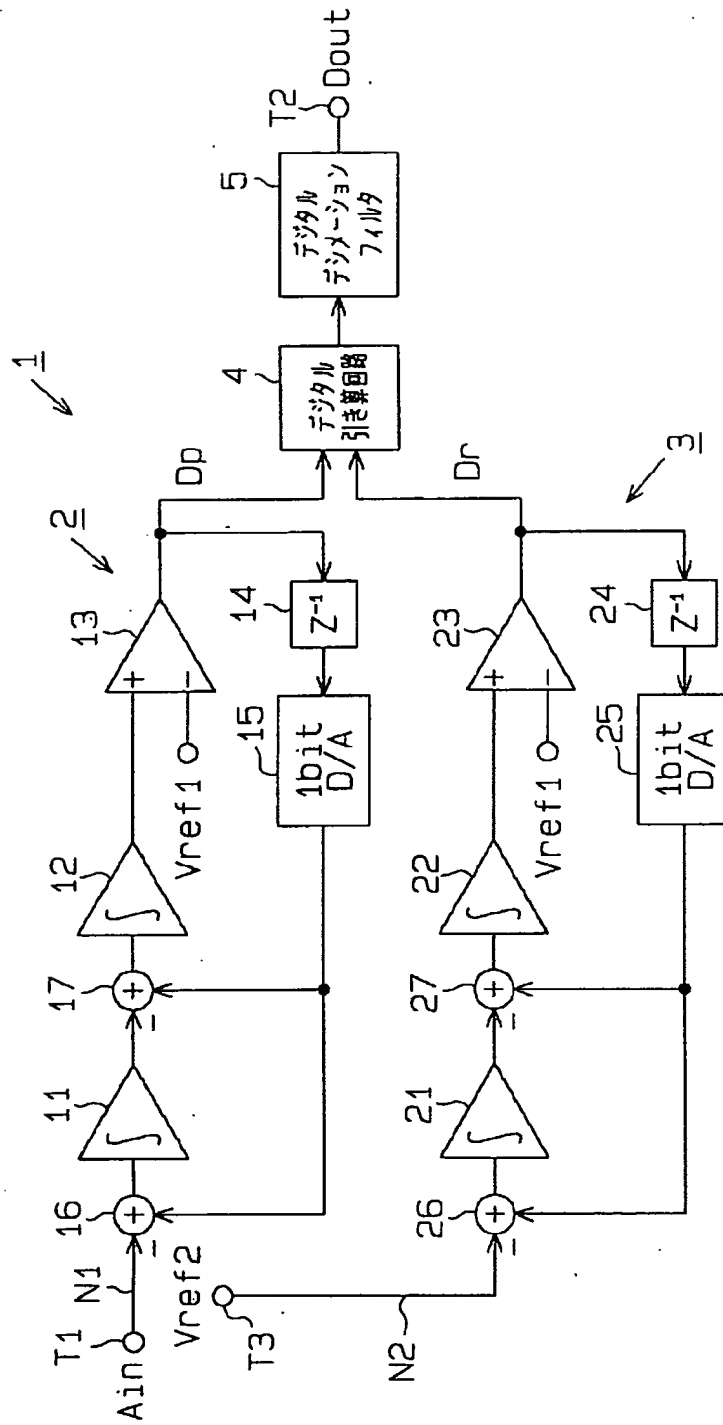
【図2】



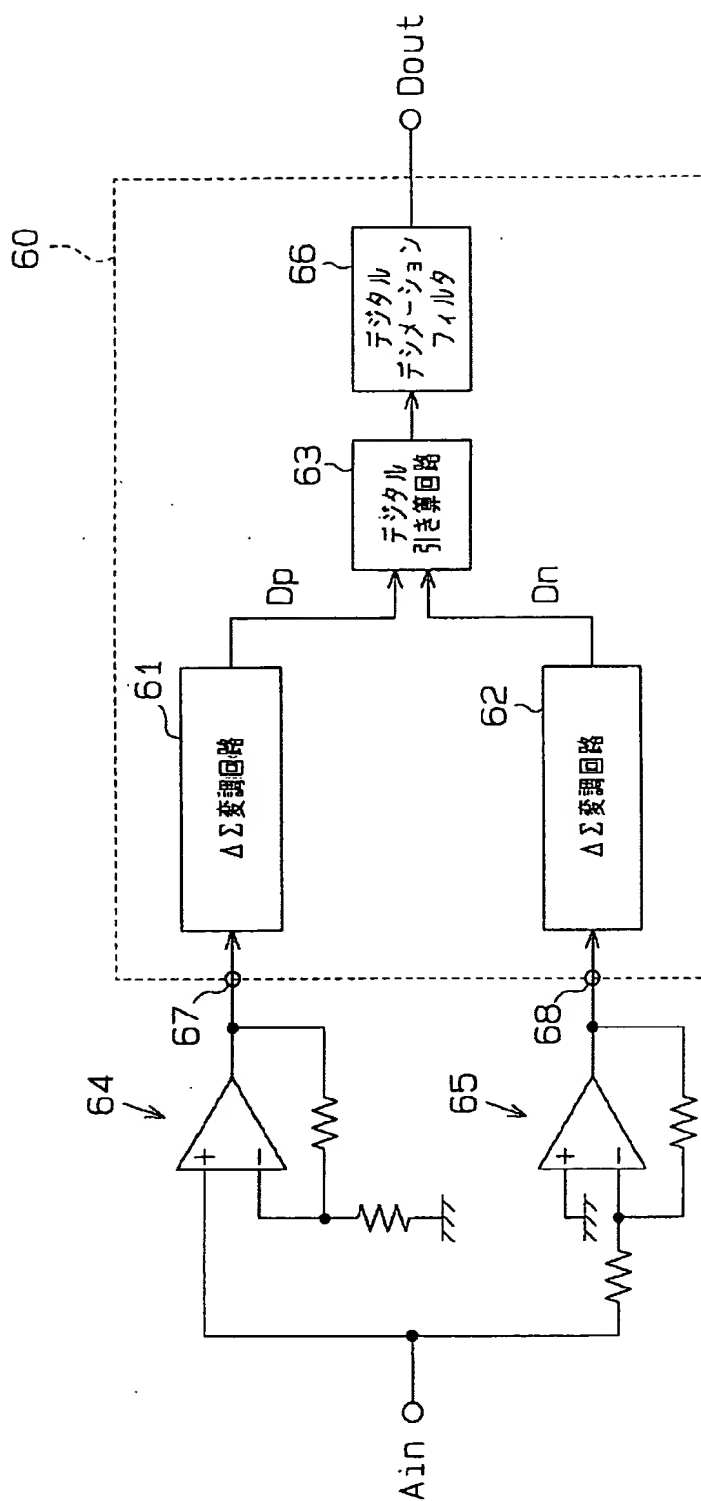
【図3】



【図1】



【図4】





【図5】

